



ホワイト ペーパー

DFM の理解と PCB レイアウトにおける役割

DFM の理解と PCB レイアウトにおける役割

DFM、DRC、DFF、DFA など、すべて PCB 設計の世界で製造解析について日常的に使われる用語で、同じような意味で使われることも多いです。DFM の内容と、DFM が PCB 設計プロセスで重要なのに無視されがちな理由を考えてみましょう。

まず、用語について説明します。DFM は「製造性考慮設計 (Design for Manufacturability)」を表します。つまり、電子システム製造に必要な PCB 加工と組み立てプロセスで発生する問題を軽減することを目的とした PCB レイアウト・トポロジーの配置プロセスです。加工上の問題への対応である「加工性考慮設計 (Design for Fabrication)」は DFF、組み立て上の問題への対応である「組み立て性考慮設計 (Design for Assembly)」は DFA と呼ばれています。DFM 解析は主にこの 2 つから成り立っています。

実際は「設計ルール・チェック (Design Rule Checking)」を表す DRC という用語が同じような意味で使われる場合が多く、DFM に関する混乱を招いています。製造で検出される DRC 上の問題は PCB の製造性に直接影響するので、無理ありません。しかし、DRC は DFF や DFA とはまったく違います。

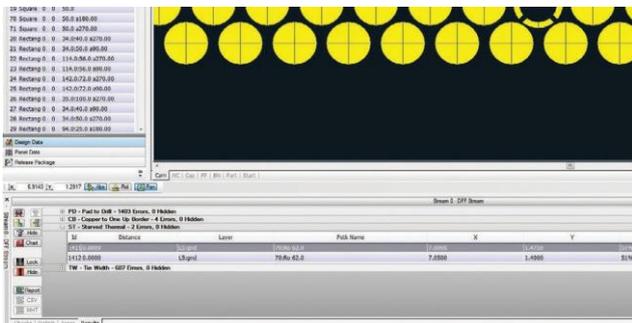


図 1：これらの不足するサーマルは、電子的な DRC はパスしますが、実際にはソース源への接続として不十分です。

DRC は、PCB の問題を「合格/不合格」という基準だ

「DFM がうまく行けば、設計は電子工学的に期待どおりに動作し、問題なく大量に製造でき、しかもコストやリスクは増大せず、設計プロセスに無駄な時間を増やすこともない」

Rick Almeida 氏

けで検出する仕組みであると捉えてください。問題は存在するかもしれないのどちらかになってしまうのです。エンジニアリングでは DRC は、PCB レイアウトの接続が関連付けられている基板回路図で定義した接続を正確に反映していることを確認するために使われています。しかし、接続は DRC の一面でしかありません。「R」は「ルール」を表しています。主に「ルール」は、PCB 全体や PCB 上の個々のレイヤー、ネット、領域の PCB オブジェクト間で許容される最小限のスペーシングを定義するために使われます。エンジニアリングでは、スペーシングは回路の性能に直接影響します。製造では、スペーシングは PCB の加工や組み立てにおいて極めて重要な役割をはたします。その結果、DRC は DFM のサブセットになりますが、それは使われるルールがメーカーのスペーシング要件を反映している場合に限られます。そうでなければ、DRC は電子的検証だけに使われます。

DFM の 2 つの主な構成要素である DFF と DFA は、DRC よりも特別な意味合いがあります。DRC は対象になるインターコネクトの特定の矛盾点しか検出できませんが、DFM は製造上の問題を引き起こす可能性がある PCB トポロジーの問題を検出します。さらに、DRC の不具合は組み立てた PCB の全品に存在するので、DRC でショートが見逃された場合、PCB の製造数にかかわらず、すべての PCB にショートが含まれてしまいます。一方、同じ製造数の PCB に DFM の問題が含まれている場合は、一部の PCB では問題が露見し、残りは意図通り正確に動作することになります。例えば、設計ツールでルールに基づき作成した極細の銅線が PCB レイアウトに存在する場合、回路図では問題にはなりません。そして、適切なスペーシングが施されていれば、DRC では合格になりま

す。しかし、同じスライバーが、極細であることが原因で、組み立て中に実際の PCB から外れて他の銅線素子に接触してしまい、一部の PCB にショートが発生させる場合があります。つまり、スライバーが DRC 検証に合格しても、実際の製造では欠陥のある PCB が出る可能性があります。DFM を行わないとこの問題が検出されずにスクラップや再作業が生じてしまう場合があります。

DFM 解析は、最近まで PCB 製造部門や組み立てエンジニアに管理を任せるか、ハイエンドの DFM 解析ソフトウェアを購入し、DFM 解析専用のスタッフを維持する財源がある企業だけが行っていました。PCB 設計者のほとんどは、製造対象の設計を提出する前に、DRC 解析と外観検査だけを行っていました。アシッドトラップ、スライバー、不十分なサーマルパッドの接続のような DFM 上の問題が、製造の歩留まりを低下させ、コスト増を招くことを知っているメーカーは、最大の歩留まりと最小コストで設計を構築するために自社で設計の解析、修正を行うようになりました。完成した PCB が適正に動作している限り、設計技術者は満足でした。では、DFM を PCB 設計フローに導入する理由は何でしょうか。それは、完成した PCB のコスト、設計意図の維持、将来の設計での不具合の再現などです。

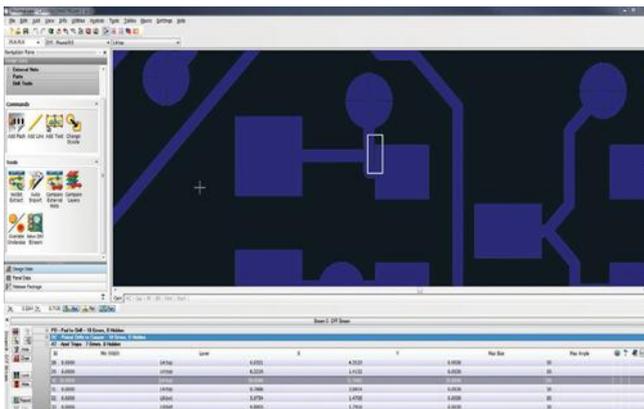


図 2 : PCB エッチング処理が意図したよりも長時間にわたり、アシッドトラップに薬液がたまって接続を侵食し、回路に不具合が発生させます。

これにより、PCB メーカーは、CAM エンジニアリング、製造準備のための設計データの処理とツール化に関して、PCB コストの 20%増を余儀なくされてしまいます。この追加コストは末端価格に組み込まれ、実際の PCB の加工料金をユーザーが負担することになります。理論的には、メーカーにとって DFM の問題がない設計を提供してもらおう方が、問題がある設計よりもコストが低いです。メーカーに設計を製造可能なものに検証してもらえるのであれば、少し余分に支払ってもかまわないと考える人もいます。しかし、これはあまり望ましくない別の問題を作り出しています。

DFM の問題がある設計を製造工程に適合させる場合、CAM エンジニアによる設計データの修正が必要になることがあります。つまり、製造部門に提供したレイアウトと完成した PCB とが完全には一致していない場合があるということです。現代のハイテク電子機器では

よくある電磁干渉、シグナル・インテグリティ、クロストークなどの問題は設計エンジニアリングで対応しますが、製造向けに設計を修正する際に、このような問題が知らないうちに改めて出現する可能性があります。CAM エンジニアが設計の変更点をエンジニアリングにフィードバックし、元の PCB 設計データベースに反映するという保証もありません。設計レイアウトがエンジニアリングと製造部門で違うということになると、2 回目の製造組み立てが必要になったり、量産のため、設計が別の製造業者にリリースされる場合はどうなるでしょうか。

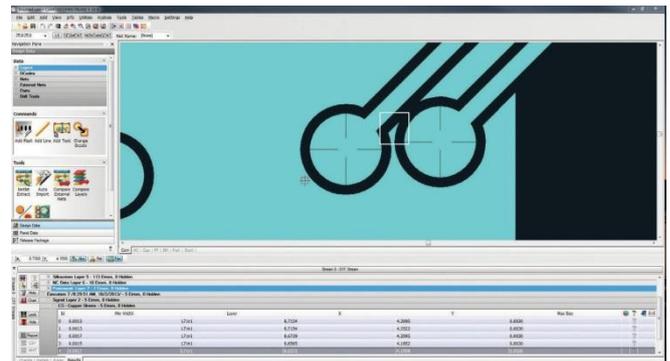


図 3 : 小さい銅線スライバーが組み立て中に外れて、はんだ付け中に浮き上がり、PCB の他の箇所に接触したり、複数のネットを結合させる可能性もあります。

次のような現実的なシナリオを考えてみましょう。設計エンジニアが PCB を設計し、DRC 解析を実行して設計は問題ないと判断します。さらに、PCB 製造ファイルを作成し、メーカーに送付し、プロトタイプを作ってもらいます。製造エンジニアは、設計が加工可能かどうかを確かめるために PCB ファイルを解析し、スクラップや低い歩留まりを生じる可能性がある設計上の欠陥を発見します。そのエンジニアはいい製品を作りたいので、問題を修正し、PCB を組み立てて完成したプロトタイプを返送しますが、変更を行ったことは伝え忘れてしまいます。研究開発部門の設計エンジニアがプロトタイプをテストすると、問題なく動作します。しかし、設計エンジニアはプロトタイプが PCB 製造ファイルと異なるものであることは知りません。次に設計エンジニアは、量産向けに、製品 PCB を得意とする別のメーカーに同じ製造ファイルをリリースします。このメーカーは、何らかの理由で製造前に解析をしないことに決めたので、プロトタイプを作ったメーカーが発見した問題は検出されません。PCB を組み立て、完成品を顧客に納品します。基板が組み立てられてテストを受けると、奇妙なことに PCB の一部、ほとんど、または全部が動作しません。その理由はもちろん、設計データの製造ファイルには、プロトタイプで修正した元の DFM エラーがまだ残っており、生産では対応されなかったことです。この結果、素材のスクラップに数千ドルのコストがかかり、もっと悪いことに市場投入が遅れることになりました。こちらはさらに損失が甚大です。

設計エンジニアがプロトタイプ前に自分で DFM 解析を実行できていたら、同じ問題を検出し、エンジニアリングで対応して元の PCB 設計に反映することで、コストを

削減し、設計意図を維持し、以降のビルドも問題なく動作したでしょう。設計エンジニアリングで数分の手間をかけておけば、設計と製造の反復およびそれに関連したコストを抑えることができたはずで

あり、設計用のエンジニアリング向け CAD ソフトウェアでは通常は検出されません。下の表に、CAD システムでは検出されないが実環境では PCB の不具合の原因となる代表的な DFM の問題を一覧します。

では、DFM の問題とは何でしょうか。ほとんどの場合、製造に支障をきたす PCB トポロジーの問題で

DFM の問題	説明
不十分なサーマル	CAD システムでは正しいプレーン・レイヤーにつながっているプレーン接続だが、誤ってプレーンの他の部分から孤立してしまっている。
アシッドトラップ	加工プロセスで薬液がたまりやすい鋭角部があるため、トレースをエッチングしてしまい、回路内で断線してしまう可能性がある。
スライバー	細いくさび型の銅線やはんだマスクが剥がれ、他の銅線に接触したり、はんだマスクで被覆されるべき銅線が露出する可能性がある。
不十分なアニュラリング	ドリルサイズの指定がドリルされるパッドのサイズを超えており、ピンの接続不良や電源プレーン内のショートにつながる可能性がある。
プレーンでのクリアランス・パッドの欠落	クリアランス・パッドのないピンがプレーン・レイヤーに接続される。このピンのクリアランス・パッドがすべてのプレーン・レイヤーに存在しないため、全電源プレーンも含めて、すべてがつながってしまう。
基板端部に近すぎる銅線	プレーン・レイヤーの基板端部からのクリアランスが不十分で、PCB フォームファクタを配線すると、複数の電源プレーンが接続されてしまう可能性が高い。各電源プレーンの銅線が誤ってつづされ、つながってしまう。
はんだマスク・パッドの欠落	エンド・ユーザーがピンやコンポーネント用のはんだマスク・パッドを定義し忘れた場合、予定以上の銅が露出してしまい、組み立て時にピンをブリッジしてしまう可能性が発生する。

これらは DFM の問題の一部を一覧したにすぎません。優れた DFM ツールは、上記の問題や、ほとんどの PCB 設計システムのアーキテクチャでは検出できない多くの問題を解析します。

最近まで、社内で DFM 解析を行うのはとてもコストがかかり、多くの企業にとって製造前 DFM プロセスを導入するには障害がありました。また、以前の DFM 解析ソフトウェアは高額で、高コストのハードウェア上で動作し、解析を行う専用のスタッフが必要で、電子機器市場の大多数の企業では導入が難しかったのです。本流の DFM ツールが低額で購入、維持でき、従来通り詳細な解析が可能になったことは良いニュースです。

また、これらのツールは、設計エンジニアが製造の専門家にならなくても、簡単に PCB レイアウトの工程に配備して日常的に使用できるものです。これらの新しい機能によって、対象メーカーが使うルールをモデル化し、メーカーが確実に PCB をビルドできるようにします。

そして、設計がプロトタイプから製造段階になったら、ルール・セットを切り替えて別のメーカーをモデル化できます。これらのツールは DFM ツールとして設計され、PCB CAD のコンストレイントに制限されないので、中核的な PCB CAD ツールがサポートしていない設計の問題を検出できるのです。DFM がうまく行けば、設計は電子工学的に期待どおりに動作し、問題なく大量に製造でき、しかもコストやリスクは増大せず、設計プロセスに無駄な時間を増やすこともありません。

ご購入、テクニカルサポート、トレーニング

最新の製品やリリースの情報については、www.innotech.co.jp/orcad/ サイトをご覧ください。どうか、[こちら orcad@innotech.co.jp](mailto:orcad@innotech.co.jp) にお問い合わせください。



イノテック株式会社

本社 / 〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
 IC ソリューション本部 OrCAD 推進室
 TEL.(045)474-3410 FAX.(045)474-2395
 URL <http://www.innotech.co.jp/orcad>