



## OrCAD Sigrity ERC

電氣的ルールチェックで信号品質の課題に対応

OrCAD® Sigrity™ ERC (電氣的ルールチェック) は、シミュレーションモデルやシグナル・インテグリティについての高度なノウハウがなくても、PCB レイアウト設計者が信号品質の問題と原因をすばやく簡単に識別することを可能にする ERC テクノロジーを提供します。

OrCAD Sigrity ERC は、業界と市場をリードする Cadence Sigrity テクノロジーを使用して構築されており、ジオメトリベースの単純な DRC (デザインルールチェック) にとどまらず高度な SI/PI ツールを使わないと検出できなかった信号品質の問題を識別します。

OrCAD Sigrity ERC は OrCAD PCB Editor と密接に統合されており、PCB 設計者は PCB キャンパスで問題を確認、変更を行い、ERC の修正を検証できます。

### 概要

OrCAD Sigrity ERC は、以前は複雑な SI シミュレーションツールや SI 技術者を必要とした信号品質の問題のチェックや対応を PCB レイアウト設計者が行うことを可能にします。PCB レイアウトで ERC と SRC (シミュレーション・ベース・ルールチェック) を使用することで、PCB レイアウト設計時に信号品質の問題の発見や対応が可能になり、設計時間全体を短縮し、SI の専門家の負担を軽減します。

ERC や SRC ベースのソリューションは、DRC ベースのソリューションと比べて、確実に信号品質を検証でき、ジオメトリベースの DRC では見逃しがちな問題を識別できるという点で優れています。OrCAD Sigrity ERC は、業界をリードする Cadence Sigrity テクノロジーを使用して、PCB レイアウト設計者向けに設計されており、最小限の設定で使いやすいインターフェースと PCB レイアウト設計とのクロスプロブを提供します。OrCAD Sigrity ERC は、信号品質の問題の識別と迅速な対応を可能にする実用的な結果を提供します。

### ハイライト

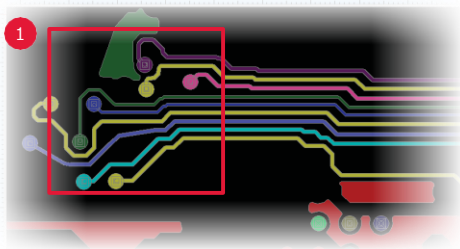
- モデル不要 - PCB レイアウト設計者が簡単に実行可能
- 配線済み信号のインピーダンスのばらつきを検出
- 配線済み信号の過剰なカップリングを検出。
- OrCAD PCB Designer との統合により、問題のある信号線を簡単に修正

### ERC が DRC より優れている理由

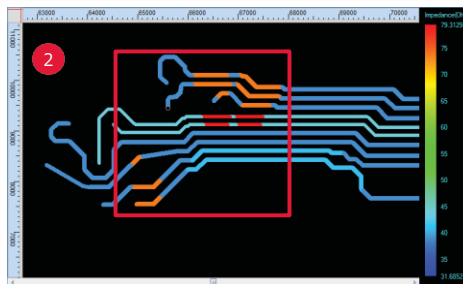
DRC ベースの信号品質チェックでは、通常は長さ、幅、距離、間隔などの設計の寸法情報を使用します。このチェックでは、インピーダンス変化の原因となる分割、あるいは異なるリファレンスプレーンを交差する信号線のような配線の電氣的特性を検証する事はできません。一方、ERC ベースの信号品質チェックではジオメトリドメインの個別セグメントレベルでのビューで、以下のような信号品質を解析します。

- トレースレファレンス
- トレースレファレンスを考慮したインピーダンス
- トレースレファレンスを考慮したカップリング
- 差動ペア配線の位相
- ビアの数とロケーション

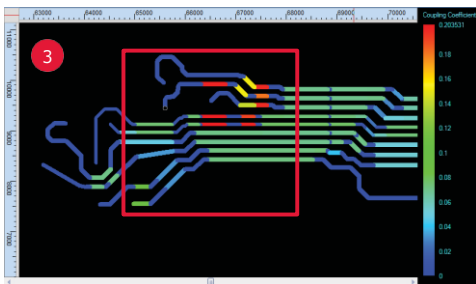
すべての解析は、シグナル・インテグリティ (SI) の専門家ではなく、PCB レイアウト設計者が信号パフォーマンスを容易に解釈できるように設計されています。



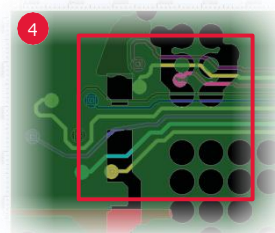
レイアウトビューでは、同じトレース・インピーダンスのように表示される



OrCAD Sigrity ERC によるレファレンスを考慮したインピーダンスの不連続表示



OrCAD Sigrity ERC によるレファレンスを考慮したカップリングによるカップリング上昇の表示



レファレンスプレーンのボイドによる影響を表示

図 1 : OrCAD Sigrity ERC によるレファレンスを考慮したインピーダンス/カップリングのオーバーレイ表示

**機能**

PCB レイアウト設計者向けの電氣的ルールチェック OrCAD Sigrity ERC は、高度な PCB レイアウト信号品質をチェックする、レファレンスを考慮したインピーダンス、カップリング、レファレンスのチェックツールです。以下の 3 つのオプションが利用可能です。

- すべてのネットをチェック
- 選択したネットをチェック
- ネットグループ別にチェック

OrCAD Sigrity ERC は、レイアウト・トレースがインピーダンスとカップリングの係数値で色分けされたインピーダンスとカップリングのオーバーレイ表示を作成します。オーバーレイ表示により、レファレンスプレーンのボイドが原因で増加したインピーダンスやカップリングがわかりやすく表示されます。これは基板レベルの外観検査では実質的に不可能です。図 1 を参照してください。

**包括的な結果の一覧表**

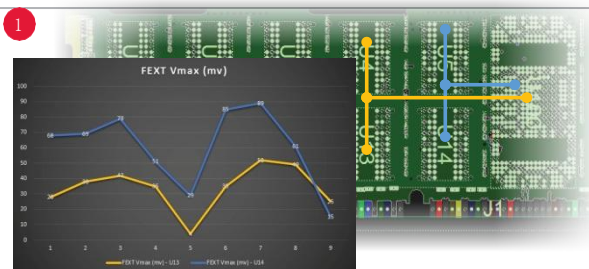
OrCAD Sigrity ERC は、包括的な結果の一覧表も作成します。図 2 を参照してください。

- トレースのセグメント別の結果
  - レファレンスを考慮したインピーダンス
  - レファレンスを考慮したカップリング
  - 上下レイヤーのレファレンス
  - 同一プレーン上のレファレンス
- ネットレベルの結果
  - インピーダンスの要約

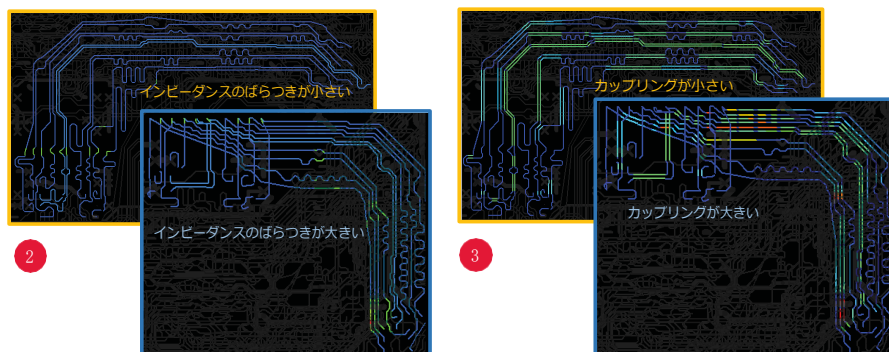
- カップリングの要約
- 長さと遅延
- R、L および C
- レファレンスの不連続の数
- レファレンスがないセクションの数
- ビア数
- ネットレベルの結果
  - 配線エリア
  - コンポーネント配置エリア
  - 配線効率



図 2 : OrCAD Sigrity ERC の包括的な結果の一覧表



1 SRCにより短いデータ信号（青）が、より FEXT が多いことを表示



2 SRCより短いデータ信号（青）にインピーダンスの不連続が大きいことを表示

3 ...そして、さらにカップリングも

図 3 : SRC / ERC の例

## 高度な信号品質チェック

OrCAD Sigrity ERC は SRC (シミュレーションベースルールチェック) 環境も提供します。このネットレベルの PCB レイアウト・チェックエンジンは、タイムドメインシミュレーションに基づいており、以下を考慮します。

- ・ 損失
- ・ 遅延
- ・ 終端が原因の反射やインピーダンスのばらつき
- ・ トレースのカップリング
- ・ ビアのカップリング

SRC の設定は、簡単に電圧パルスを信号振幅、データ・レート、立ち上がり/立下り時間、ドライバ/レシーバ終端を表すステイムラスとして設定するだけです。デバイスシミュレーションモデルは不要です。

SRC シミュレーションの後には、TX、RX、NEXT (近端クロストーク)、FEXT (遠端クロストーク) の波形や、RX と FEXT の波形を信号品質の指標として使用して算出した SI メトリクスが利用可能です。

## ERC が DRC より優れている理由

OrCAD Sigrity ERC は、簡単な設定と高速なシミュレーションにより、電気的な問題を SI の専門家による最終チェックに委ねる前に実用的な一次スクリーニングを可能にします。以下がその例です。

- ・ ERC によりレイアウトをスクリーニングし、さらに SRC や SI の解析により最悪のケースを識別する
- ・ SRC により設計ルール違反が SI に与える影響を評価し、トレードオフを調べる
- ・ ERC により SRC や SI シミュレーションで分かった SI の問題の解決方法を調べる
- ・ ERC や SRC の結果を、既知の優れたレファレンスデザインや完全に解析済みデザインの一部と比較する

最新の製品やリリースの情報については、[www.innotech.co.jp/orcad](http://www.innotech.co.jp/orcad) サイトをご覧ください。どうか、こちら ([orcad@innotech.co.jp](mailto:orcad@innotech.co.jp)) にお問い合わせください。



## イノテック株式会社

本社 / 〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

ICソリューション本部 OrCAD 推進室

TEL.(045)474-3410 FAX.(045)474-2395

URL <http://www.innotech.co.jp/orcad>

©2016 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence、Cadenceロゴ、OrCAD、OrCADロゴおよびSigrityはCadence Design Systems, Inc.の米国またはその他の国における商標または登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。 \* 掲載の内容は、2016年4月現在のものです。