

OrCAD PCB SI

プリ/ポスト・レイアウトのトポロジー抽出とシグナル・インテグリティ解析

OrCAD® PCB SI は、パワフルな伝送線路解析技術を搭載し、コンセプト設計である回路設計段階から、配置・配線までの基板設計プロセス全体に渡ってシグナル・インテグリティの問題検証、設計支援を行います。このツールは、プリルート及びポストルートにおけるトポロジー抽出、信号解析、検証を可能にし、回路の信頼性向上に加え、PCB 配線仕様の再利用による設計手戻りの減少に寄与します。

概要

今日の基板設計における信号品質の問題は、もはや高度なシグナル・インテグリティの専門家任せの専門家に任せざるを得なくなりつつあります。

IC テクノロジーが微細化するにつれ、信号のスピードやエッジレートが上がり、シグナル・インテグリティの問題が顕在化してきます。これにより今まで低周波域のみを扱ってきた PCB 設計者が高周波の問題に直面することになります。

この結果、回路トポロジー抽出、信号解析、配線制約開発、ならびに検証のすべてがプリント基板設計の重要な要素になっています。

OrCAD PCB SI が提供する最新のシグナル・インテグリティ解析機能により、これらの問題に対する調査、検証、管理が可能となり、統合的なフローが実現します。回路図作成段階でのプリ・レイアウト回路シミュレーションにおいてシグナル・インテグリティ・シミュレーションが可能となるため、設計プロセスの初期の段階から問題点の抽出と対策が可能となります。

機能

解析

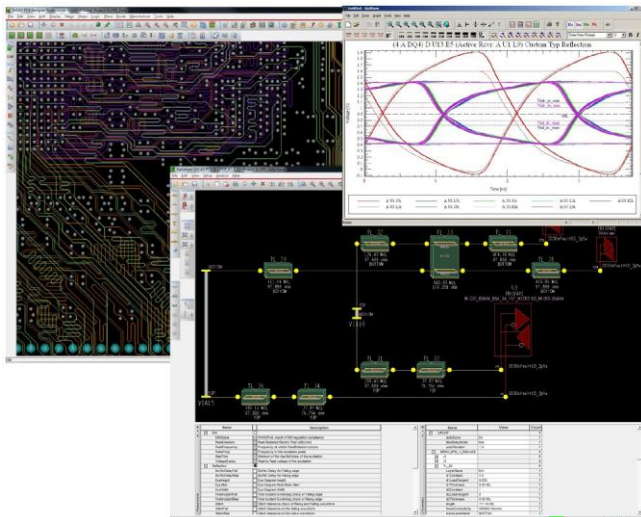
OrCAD PCB SI のシミュレーション・テクノロジーは、伝送線路解析機能により、反射、オーバーシュート、アンダーシュート、

要旨

- プリ/ポスト・レイアウト問わず、設計のあらゆる段階で適用可能なシグナル・インテグリティ解析機能
- 回路の信頼性、パフォーマンス、設計手戻りの削減に向けた伝送線路トポロジーの抽出、解析機能
- OrCAD PCB Editor, OrCAD Capture との統合環境によりレイアウトデータベースの変換が不要
- 過去の解析結果をプリント基板設計フローにおける配線設計仕様とし、制約条件として適用可能
- 業界標準の IBIS フォーマット^{*1} と汎用 SPICE モデル、その他カスタム・ビルド・モデルをサポートし、シミュレーションの時間を短縮
- より高度な設計要件に合わせた拡張性と多くの実績を持つシグナル・インテグリティ・ソリューション

リングング、カップリング、遅延など、広範囲な伝送線路解析の問題を解決できます。

このテクノロジーでは GHz 帯でも適用可能な周波数依存型有損失伝送線路モデルを採用することにより、PCB トレースの特性を正確に表現することが可能となります。統合された電界ソルバーは、配線済みのプリント配線の電気特性を判定し、PCB ビアの電氣的モデルを作成します。



OrCAD PCB SI は、強力なシミュレーション・テクノロジーで、設計プロセス全体でシグナル・インテグリティの問題発見、対処を支援します。

回路図設計とフィジカル・レイアウト間のプリ/ポストレイアウト・フローで、OrCAD PCB SI では設計サイクルのどの段階でもシグナル・インテグリティの探索、解析が可能です。信号のパフォーマンスや品質の問題を発見した場合、OrCAD PCB SI 環境では、環境では、さまざまな What-if シナリオを探索して、異なる配線トポロジー、終端処理、部品の値、配置の影響を判別できます。

プリ・レイアウト解析

プリ・レイアウト解析により、インターコネクト・シナリオを予防的に探索し、クリティカルなネットをシミュレーションすることで、回路定義から回路図設計までの設計サイクルの初期の段階でシグナル・インテグリティの問題を最小限に抑制できます。OrCAD Capture と OrCAD PCB SI という、密接に統合された回路図入力とシグナル・インテグリティのフローにより、クロックの最適化、クリティカルな信号トポロジー、終端コンポーネント、各種の値から、配線ストラテジー、コンストレイント、レイアウト時の基板スタックアップ要件に至るまでを決定できます。最適なインターコネクトのソリューションを決定したあとは、設計ルールとコンストレイント一式を包括的に定義して、フィジカル設計のプロセスに進めます。

ポスト・レイアウト解析

OrCAD PCB Editor は、PCB 設計データベースから直接トポロジーを抽出できるため、クリティカルなネットのシミュレーションを実行して、レイアウト作業が配線前の要件を満たしているかどうかを検証できます。

信号品質解析では、トポロジー抽出が 3 つの重要な段階で実行されます。部品配置時、クリティカルなネットの配線後、それに設計の最終配線後です。

トポロジーは、配線前にネット解析で使用したのと同じ SI キャンバスに抽出され、配線済み信号の解析結果が事前の予想と比較されます。抽出されるのは、ネットのフィジカルな実装方法の電気的な詳細情報で、トレース断面特性、配線層、ビアモデル、トレース長のモデルが含まれます。結果が一致しない場合、配線済み基板を変更し、ネットを再解析します。

トポロジー・キャンバスとデータ表示

OrCAD PCB SI は、主に Signal Explorer と SigWave の 2 つの環境で構成されます。Signal Explorer のキャンバスは、フィジカルまたはロジカルなインターコネクトの電気的 トポロジーを表示し、ハイ・スピードまたはクリティカルなネットを解析するシミュレーションの操作パネルにもなります。

Signal Explorer により、さまざまなストリップラインやマイクロストリップのモデル（損失のあるもの/ないもの）、ドライバーとレシーバー、各種デバイスなど、回路を探索できます。OrCAD Capture または OrCAD PCB Editor からインポートした回路トポロジーも、抽出、解析用に同じキャンバスに表示できます。

SigWave キャンバスは、複数のフォーム、モードでシミュレーションの結果を表示する波形ビューワです。オシロスコープ・モードでは、個々の波形表示をオン/オフでき、画面の上に計測マーカを表示できます。

モデル・インテグリティ

モデル・インテグリティ・モジュールは、OrCAD PCB SI で、モデルをすばやく簡単に作成、操作、検証できる編集環境を提供します。このモジュールには、IBIS で記述されたモデルや、DML で記述された高度なモデル用のモデル・ブラウザと構文チェッカーが含まれます。OrCAD PCB SI は、さまざまなデジタル・モデリング・フォーマットのデバイス・モデルに対応しており、特に IBIS モデリング規格をサポートすることで、ほとんどの半導体メーカーが作成したモデルを扱えます。さらに、OrCAD PCB SI は、より複雑なデバイスを考慮した次世代のモデリング言語 DML モデリング形式もサポートしています。柔軟なマクロモデリング拡張言語は IBIS を補完して、最先端の I/O 機能を迅速に正確にモデル化します。

シグナル・インテグリティ・ソリューション とフロー

Capture/PCB SI フロー

密接に統合された OrCAD Capture（回路図入力）と OrCAD PCB SI（シグナル・インテグリティ）間の双方向フローにより回路トポロジーの探索、コンストレイントの開発回路図入力段階からのシグナル・インテグリティ解析を可能にします。関連する電氣的コンストレイント・セット(Electrical CSet)と完全なトポロジー・ファイルが回路図データベースに埋め込まれます

PCB Editor/PCB SI フロー

PCB 設計データベースから直接、配線済みまたは未配線のトポロジーを抽出できるため、クリティカルなネットのシミュレーションを実行して、その結果が配線前の要件を満たしているかどうかを検証できます。

信号品質解析において、トポロジー抽出は 3 つの重要な段階で実行されます。それは、部品配置時、クリティカルなネットの配線後、設計の最終配線後です。トポロジーは、SI キャンバス上に抽出され、配線済み信号の解析結果と配線前の解析結果を比較できます。このトポロジーに抽出されるモデルは、ネットのフィジカルな電氣的な詳細情報で、トレース断面特性、配線層、ビアモデル、トレース長のモデルが含まれます。解析結果に応じて、配線済み基板を変更し、ネットを再解析します。

将来を見据えた拡張性

他のシグナル・インテグリティソリューションとは異なり、OrCAD PCB SI では増大する技術上の課題に合わせて、また回路探索やシグナル・インテグリティ解析のニーズの変更に合わせて拡張できます。OrCAD PCB SI ソリューションは、Cadence® Allegro®シグナル・インテグリティ・テクノロジーをベースとしながら、将来の課題にも簡単かつ確実に対応できる拡張性を提供します。各機能やテクノロジーは、OrCAD と Allegro 製品ライン全体で共用されているため、製品のアップグレードや拡張が容易で、データベースやライブラリを変換したり、アプリケーションの使い方を覚えなおしたり、ユースモデルを変更したりする必要がありません。

※1 一部 IBIS 記述でサポートしていない項目 (AMI など) がございます。詳細は担当までお問い合わせください。 詳

最新の製品やリリースの情報については、www.innotech.co.jp/orcad サイトをご覧ください。こちら (orcad@innotech.co.jp) にお問い合わせください。



イノテック株式会社

本社 / 〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

ICソリューション本部 OrCAD 推進室

TEL.(045)474-3410 FAX.(045)474-2395

URL <http://www.innotech.co.jp/orcad>

©2016 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence、Cadenceロゴ、Allegro、OrCADおよびOrCADロゴはCadence Design Systems, Inc.の米国またはその他の国における商標または登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。

* 掲載の内容は、2016年4月現在のものです。