

OrCAD FPGA System Planner

自動ルールドリブンピン割り当てを使用した FPGA-PCB 協調設計

OrCAD® FPGA System Planner は、大規模・多ピン FPGA をプリント基板上で設計するとき直面する初期ピン・アサインの作成、回路図との統合や、プリント基板上での FPGA デバイスの確実な配線の課題に対応します。OrCAD FPGA System Planner は、FPGA ベンダの協力を得たデバイス・ルールにより、最適化されたピン・アサインの自動生成を行なう FPGA-PCB 間の新しいテクノロジーを提供します。

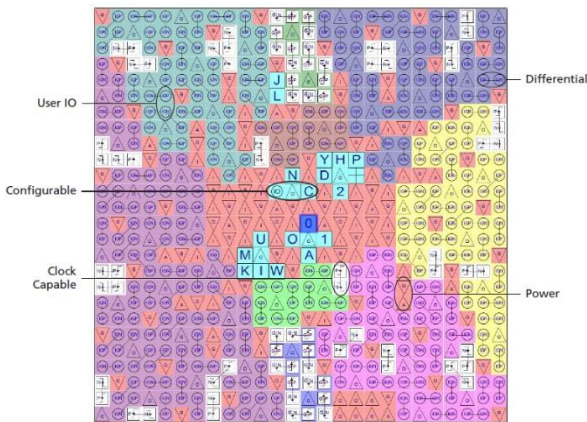


図 1: マルチ・バンク FPGA の I/O カラーマップ

概要

OrCAD FPGA System Planner は、設計者が最適なピン・アサインを作成することの出来る FPGA-PCB 間の完全でスケーラブルなソリューションを提供します。FPGA のピン・アサインは、インターフェイス・ベースの配線性、FPGA ルール、PCB 基板での FPGA の配置といったユーザー定義の情報を基に自動的に合成されます。この配置を考慮に入れた自動ピン・アサインメント・シンセシスにより、設計者は初期ピン・アサインを短時間で作成し、エラーを引き起こしやすいプロセスを避け、フィジカル設計の繰り返しを排除できます。

OrCAD FPGA System Planner は、OrCAD Capture と統合され、回路シンボルの読み込みや作成が可能です。

要旨

- OrCAD から Allegro へのスケーラブルで対費用効果に優れた FPGA-PCB コ・デザイン・ソリューション
- 最適な初期ピン・アサイン作成時間を短縮し、プリント基板設計のスケジュールを加速
- OrCAD PCB デザイン設計環境と FPGA のインテグレーションの加速
- PCB レイアウト・プロセス中に生じる不要な繰り返し作業の排除
- FPGA のピン・アサインのエラーによる不要なフィジカル・プロトタイプ繰り返しを排除
- 配置を意識したピン・アサインと最適化により、プリント基板レイヤ数を抑制

今日の高性能な FPGA は、多くのアサインメント・ルールやコンフィギュラブル・ピンの種類が多様化し、より設計時間を要し、デザイン・サイクルが伸びています。FPGA のピン・アサインは、FPGA に接続されるクリティカルなコンポーネントの配置に気付かない中、手作業でピン 1 本ずつ行なわれることもあります。プリント基板上で配線のインパクトを理解しない FPGA を利用したプロジェクトではやむを得ず、プリント基板のレイヤを増やし、ピン・アサインを行ったり、要求を満たすピン・アサインを導くため、繰り返し作業を行ったりする傾向があります。さらに、フロアプラン・ビューは、OrCAD PCB Designer の既存のフットプリント・ライブラリを使用します。レイアウトで配置変更した場合、OrCAD FPGA System Planner を用いたピンの最適化情報は、OrCAD PCB Designer から直接アクセスを行ないます。

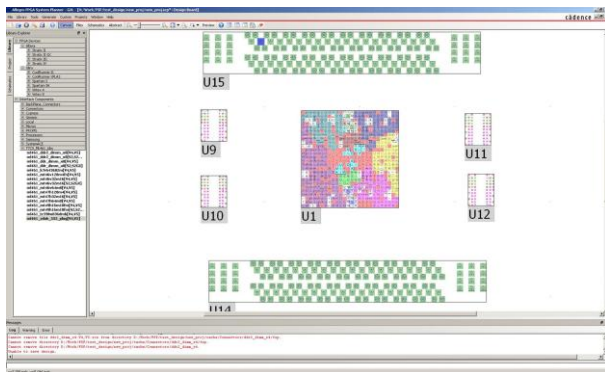


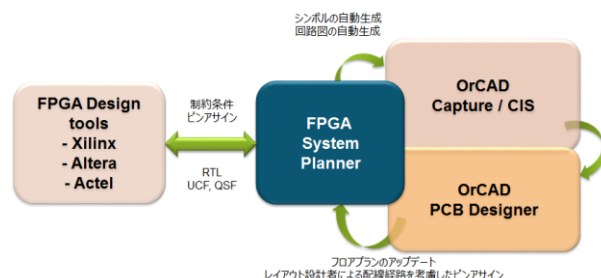
図 2: クリティカル・コンポーネントの相対的配置が可能なプレースメント/フロアプラン・ビューにより最適な合成環境を実現

特長

OrCAD FPGA System Planner テクノロジーの必要性

FPGA システムとは、1 つ、または複数の FPGA と非 FPGA コンポーネントを含み、それらが FPGA と接続されているプリント基板デザインのサブセットとして定義します。

従来のピン・アサインによるアプローチは、手作業での操作、或いはスプレッドシート・ベースで行なわれています。これらのツールは、設計者に他のコンポーネントの配置、インターフェイス属性、信号の配線を考慮せずにピン・アサインさせることとなります。何よりも FPGA ピンにアサインされている信号に正しいピン・タイプが使用されているかを保証するオンライン・ルールチェックがありません。その結果、設計者は、FPGA ベンダのツールとスプレッドシート・ベースのツール間の度重なる繰り返し処理が必要になります。しばしばレイヤ上で FPGA ピンから信号の配線ができないプリント基板設計者と、プリント基板設計者から示される紙や口頭ベースによるピン・アサインの提案を受け入れなければならない FPGA 設計者間での繰り返し加わります。



一度、FPGA 設計者によってピン・アサインが変更されると、回路図のピン・アサイン変更はハードウェア設計者により実行されなければならない、その繰り返しに長い時間を要します。

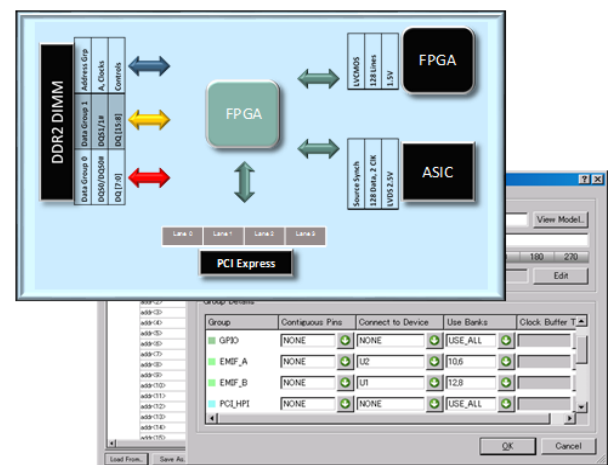
また、手作業によるプロセスで検出できなかったミスは高価なフィジカル・プロトタイプでの繰り返しをも引き起こします。

FPGA 設計者、ハードウェア設計者、PCB レイアウト設計者によって変更されたピン・アサインの同期自動化は有用ですが、繰り返しの減少にはなりません。

FPGA リソースの有用性、FPGA ベンダのピン・アサイン・ルール、基板上の FPGA のピンからの配線といった、3 つの要素によって導かれないピン・アサインは、デザイン・プロセスの末端で繰り返しの多くを必要とし、今日の複雑で大規模・多ピン FPGA をプリント基板で利用するには時間が掛かります。

インターフェイス信号の定義

OrCAD FPGA System Planner は、FPGA デバイスを選択、配置するために FPGA デバイス・ライブラリを備えています。OrCAD FPGA System Planner のフロアプラン・ビューでは、PCB Designer のフットプリントを使用し、設計者が FPGA システム・コンポーネントの相対的な配置を迅速に作成することができます。



OrCAD FPGA System Planner は、ユーザーに FPGA サブシステム内のコンポーネントの接続性をインターフェイス属性定義により指定させます。ユーザーは、DDR2、DDR3 や PCI Express などのインターフェイス属性を作成することが可能で、FPGA とメモリ DIMM モジュール間や、2 つの FPGA 間の接続性を指定できます。さらに OrCAD FPGA System Planner は、ディファレンシャル信号、電源信号、クロック信号を認識します。

FPGA デバイス・ルール

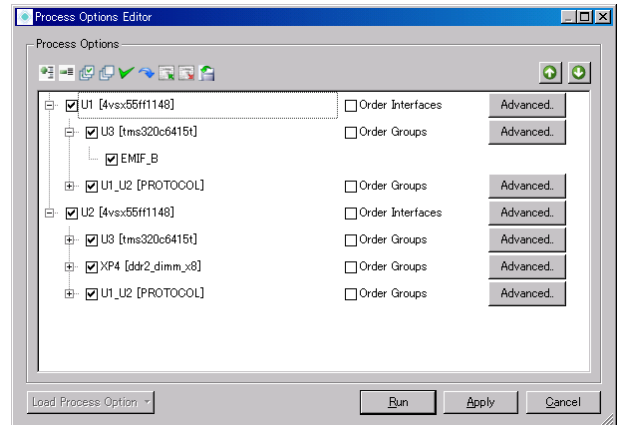
OrCAD FPGA System Planner は、FPGA デバイス・ベンダによって定義されたピン・アサイン・ルールや電気リカル・ルールを組み込んだ正確な FPGA デバイス・ライブラリを備えています。

これらのFPGAモデルをOrCAD FPGA System Plannerのシンセシス・エンジンが読み込み、FPGAベンダが定義した電気的・ルールを厳密に守りながら割り当てを行いません。これらのルールは、クロックやクロック・リージョンの選択、バンク・アロケーション、SSO バジェット、バッファ・ドライバの利用、IO 規格の電圧リファレンスなどに影響します。合成を行なうと、OrCAD FPGA System Planner は、正確で最適なFPGAピンとなるよう自動的にこれらのルールを何百という組み合わせでチェックします。

配置考慮のピン・アサインメント・シンセシス

OrCAD FPGA System Planner は、OrCAD PCB フットプリントを利用し、FPGA システムの配置を行なう手法を提供します。ユーザーは、OrCAD FPGA System Planner のプレースメント・ビューで、DDRx、PCI Express、SATA、フロントサイドバス等のインターフェイスを使用し、コンポーネントとFPGAの間の接続性を短時間で定義できます。

一度、サブシステム中のFPGAと他のコンポーネントの接続性を定義すると、次にユーザーのデザインの意図、利用可能なFPGAリソース、FPGAの周りのコンポーネント配置、FPGAベンダのピン・アサイン・ルールを元にOrCAD FPGA System Planner はピン・アサインを合成します。



OrCAD FPGA System Planner には、ピン・アサイン、リファレンス電圧、ターミネーション用にFPGAベンダから提供されたルールを組み込んだDRCエンジンが組み込まれています。このエンジンにより、FPGAを常に正しく接続し、プリント基板フィジカル・プロトタイプの繰り返しを防ぎます。ピン・アサイン・アルゴリズムは、ピン・グループにインターフェイス信号をアサインするために最適化されています。その結果、ネットのクロスオーバーを最小にし、プリント基板上の配線性を向上させます。

最新の製品やリリースの情報については、www.innotech.co.jp/orcad サイトをご覧ください。こちら (orcad@innotech.co.jp) にお問い合わせください。



イノテック株式会社

本社 / 〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

ICソリューション本部 OrCAD 推進室

TEL.(045)474-3410 FAX.(045)474-2395

URL <http://www.innotech.co.jp/orcad>

©2016 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence、Cadenceロゴ、OrCADおよびOrCADロゴはCadence Design Systems, Inc.の米国またはその他の国における商標または登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。

* 掲載の内容は、2016年4月現在のものです。